



8. Übungsblatt

Lösen Sie die folgenden Aufgaben:

- i) Führen Sie *alle* besprochene Änderungen an Ihrer CPU aus. Verbessern Sie dazu den Datenpfad und bringen sie R-Type und I-Type Instruktionen zum Laufen.
- ii) Implementieren Sie bedingte (`blt`, `bge`, `bltu`, `bgeu`) und unbedingte (`jal`, `jalr`) Sprünge¹ und testen Sie Ihre Implementierung mit einer kleinen Testbench.
- iii) Synthetisieren Sie Ihr Design mit Vivado und implementieren Sie es auf Ihrem FPGA-Board. Schreiben Sie dazu die notwendigen Constraints. Informationen finden Sie unter <https://digilent.com/reference/programmable-logic/nexys-4-ddr/start> oder (je nachdem welches Board Sie verwenden) <https://digilent.com/reference/programmable-logic/nexys-4/start>.

Besprechung und Abnahme am 8. Januar 2025

¹Sehr hilfreiche Erklärungen finden Sie in Patterson, Waterman, The RISC-V Reader, Strawberry Canyon